

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## End of Result Set



Generate Collection

Print

L1: Entry 1 of 1

File: JPAB

Apr 22, 1991

PUB-NO: JP403095969A

DOCUMENT-IDENTIFIER: JP 03095969 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: April 22, 1991

## INVENTOR-INFORMATION:

NAME

COUNTRY

KOIZUMI, TORU

SUGAWA, SHIGETOSHI

MIZUTANI, HIDEMASA

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

CANON INC

APPL-NO: JP01233946

APPL-DATE: September 7, 1989

US-CL-CURRENT: 257/64; 257/66

INT-CL (IPC): H01L 29/784

## ABSTRACT:

PURPOSE: To increase an effective mobility of POLY-TFT by enabling an impurity concentration  $N(\text{atoms}/\text{cm}^2)$  at a part forming a channel part within a polycrystalline silicon thin film of a specific grain size to satisfy a specific relation expression.

CONSTITUTION: An impurity concentration  $N(\text{atoms}/\text{cm}^2)$  of a part for forming a channel part within a polycrystalline silicon thin film is  $1.3 \times 10^{-7} \times QT^2 \leq N \leq 2 \times 10^{18}$  ( $QT(\text{cm}^{-2})$  is a crystal grain boundary face level density) and the grain diameter of the polycrystal silicon thin film is equal to or more than  $7.7 \times 10^7 / QT(\text{cm})$ . A polycrystalline silicon film 42 in large grain size with a grain size of  $3 \mu\text{m}$  and a thickness of  $4 \mu\text{m}$  is accumulated on an  $\text{Si}_3\text{N}_4$  substrate 41, an  $\text{SiO}_2$  film with a thickness of  $800 \text{\AA}$ ; is formed by the thermal oxidation method, a gate oxide film 43 with a gate length of  $10 \mu\text{m}$  and a gate width of  $30 \mu\text{m}$  is provided by photolithography, and B11 is ion-implanted at a dose amount of  $1 \times 10^{15} \text{atoms}/\text{cm}^2$  in self-alignment manner.

COPYRIGHT: (C)1991, JPO&amp;Japio

L -  $10 \mu\text{m}$ W -  $30 \mu\text{m}$

## ⑫ 公開特許公報(A) 平3-95969

⑤ Int. Cl.<sup>3</sup>  
H 01 L 29/784

識別記号 庁内整理番号

④ 公開 平成3年(1991)4月22日

9056-5F H 01 L 29/78 311 H

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 平1-233946

⑱ 出 願 平1(1989)9月7日

⑲ 発 明 者 小 泉 徹 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑲ 発 明 者 須 川 成 利 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑲ 発 明 者 水 谷 英 正 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
 ⑲ 代 理 人 弁理士 福 森 久 夫

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) 非晶質材料により形成された基体と該基体上に形成された多結晶シリコン薄膜とを少なくともも有する電界効果トランジスタ構造の半導体装置であって、前記多結晶シリコン薄膜内のチャネル部を形成する部分の不純物濃度  $N$  (atoms/cm<sup>2</sup>) が、

$$1.3 \times 10^{-7} \times QT^2 \leq N \leq 2 \times 10^{18}$$

( $QT$  (cm<sup>-2</sup>) は結晶粒界面単位密度、以下同じ)であることを特徴とする半導体装置。

(2) 多結晶シリコン薄膜の粒径が  $7.7 \times 10^7 / QT$  (cm) 以上であることを特徴とする請求項1に記載の半導体装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に関し、特に、非晶質基板上に多結晶シリコン薄膜を形成してなる電界効

果トランジスタの高速化に関する。

〔従来の技術〕

今日、高密度化・多機能化を目的として非晶質基板上に半導体素子を形成するSOI技術の研究が盛んである。非晶質基板を用いた半導体素子は、非晶質基板上に単結晶半導体層を形成してなるものと多結晶半導体層を形成してなるものとに大別することができる。

非晶質基板上に単結晶半導体層を形成する方法としては、SIMOX、レーザ再結晶技術等がある。単結晶半導体層を用いた半導体素子は、薄膜中のトラップが少ないので、キャリアの実効移動度が高く、従って素子の高速化を図ることができるという長所を有する。しかし、この反面、歩留りが悪く、コスト高となるという欠点を有している。

これに対して、非晶質基板上に多結晶半導体層を形成してなる半導体装置は、コストが低く、効率的に形成できる。

第7図は、従来の、非晶質基板上の多結晶半導

体層をチャネルに用いたMOSFET(以下、POLY-TFTと記す)の一例を示す概略断面図である。

このようなPOLY-TFTは、一般に、 $\text{SiO}_2$ により形成された非晶質基板1上に、LPCVD法を用いて多結晶シリコン膜2(不純物濃度 $1 \times 10^{18} \text{ atoms/cm}^2$ 、粒径900Å程度)を堆積し、該多結晶シリコン膜2に対し、一般のIC工程を用いて、ゲート酸化膜3、ソース・ドレイン領域5、6、ゲート電極6を順次形成することにより作製される。

〔発明が解決しようとする課題〕

しかし、このようにして得られたPOLY-TFTは、実効移動度が $1(\text{cm/V} \cdot \text{s})$ 以下と極めて低いという課題を有していた。これは、多結晶半導体の各結晶間の界面でキャリアをトラップして電気障壁をつくるため、電流に寄与する実質的なキャリアの濃度(以下、有効キャリア濃度と記す)が減少すること、および電気障壁での散乱によりキャリア移動度が低下することによるものである。

〔課題を解決するための手段〕

本発明の第1の要旨は、非晶質材料により形成された基体と該基体上に形成された多結晶シリコン薄膜とを少なくとも有する電界効果トランジスタ構造の半導体装置であって、前記多結晶シリコン薄膜内のチャネル部を形成する部分の不純物濃度 $N(\text{atoms/cm}^2)$ が、

$$1.3 \times 10^{-7} \times QT^2 \leq N \leq 2 \times 10^{10}$$

( $QT(\text{cm}^{-2})$ は結晶粒界面単位密度、以下同じ)であることを特徴とする半導体装置に存在する。

本発明の第2の要旨は、前記多結晶シリコン薄膜の粒径が $7.7 \times 10^7 / QT(\text{cm})$ 以上であることを特徴とする半導体装置に存在する。

〔作用〕

本発明によれば、多結晶シリコン薄膜内のチャネル部を形成する部分の不純物濃度 $N(\text{atoms/cm}^2)$ を、

$$1.3 \times 10^{-7} \times QT^2 \leq N \leq 2 \times 10^{10}$$

としたので、多結晶シリコン薄膜内のキャリア移

動度を飛躍的に増大させると伴に有効キャリア濃度を向上させることができる。

以下、この課題について、詳細に説明する。

一般に、多結晶半導体には、結晶と結晶のぶつかりあった球面にダングリングボンドをはじめとする界面トラップ単位(結晶粒界面単位)が局在している。その界面トラップ単位密度 $QT$ の値は、成膜方法、成膜条件によって異なるが、通常、 $5 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ である。界面のトラップ単位は、キャリアをトラップし、結晶粒の一部もしくは全部を空乏化させるとともに、電気障壁を形成する。結晶粒の空乏化により、有効キャリア濃度は減少し、また、電気障壁によりキャリア移動度が低下して多結晶半導体の抵抗が高くなる。

このような、多結晶半導体の電気特性上の課題は、POLY-TFTの実用化の大きな障害となっていた。

本発明は、有効キャリア濃度が大きく、かつキャリア移動度が高いPOLY-TFTを提供することを目的とする。

移動度を飛躍的に増大させると伴に有効キャリア濃度を向上させることができる。

また本発明によれば、多結晶シリコン薄膜の粒径を $7.7 \times 10^7 / QT(\text{cm})$ 以上としたので、多結晶シリコン薄膜内のキャリア濃度を飛躍的に増大させることができる。

以下、本発明について、第2図～第6図を用いて詳細に説明する。

(請求項1)

多結晶半導体は、物理的状态として結晶粒内全てのキャリアが結晶粒界面単位にトラップされて結晶粒内全域が空乏状態となるような完全空乏状態と、結晶粒内一部のキャリアがトラップされて結晶粒の一部が空乏状態となるような部分空乏状態とに大別されるが、部分空乏状態の領域(以下、部分空乏領域と記す)では、移動度の要因である電気障壁の高さは、結晶粒界面単位密度および不純物濃度により決定される。

すなわち、不純物濃度が高ければ高いほど電気障壁が低くなる。その様子を第2図に示す。第2

図において、横軸は不純物濃度を示し、縦軸は電位障壁の高さを示す。従来のPOLY-TFTの基板濃度 $N$ は $1 \times 10^{15} \text{ atoms/cm}$ 程度であり、第2図によりわかるように電気障壁が最も高い領域である。キャリアはこの電気障壁を熱放出機構により移動するため、その移動度は電気障壁の高さに対して指数関数的に変化する。ゆえに、移動度は電気障壁の低下、すなわち不純物濃度 $N$ の増加に伴ない、指数関数的に改善され、特に、ある不純物濃度 $N_c (\text{atoms/cm}^3)$ を境に急激に向上する(この不純物濃度を閾不純物濃度 $N_c$ と定義する)。

さらに不純物濃度を高くすると、電気障壁はさらに低減し、移動度は単結晶シリコンのキャリア移動度とほぼ同じとなる。その様子を第3図に示す。第3図において横軸は不純物濃度、縦軸はキャリア移動度を示す。

本願発明者は、ESR測定などにより $Q T$ 求めて閾不純物濃度との関係調べた結果、 $N_c = 1.3 \times 10^{-7} \times Q T^2$ で与えられるとの知見を

このため、デバイスや密着センサなどで実用的な特性を得るためには、不純物濃度は $2 \times 10^{10} \text{ atoms/cm}^3$ が上限となる。

(請求項2)

上述のように、電流量を支配するものとしては移動度とキャリア濃度(有効キャリア濃度)とがある。例えば、移動度が単結晶に近い値でも有効キャリア濃度が単結晶の半分であれば、POLY-TFTの実効移動度は見かけ上単結晶TFTの半分の値になる。従来のPOLY-TFT(基板濃度 $N = 10^{15} \text{ atoms/cm}^3$ 程度)は、有効キャリア濃度がきわめて低く、この有効キャリア濃度の低さも従来のPOLY-TFTの実効移動度の低さの要因であった。

有効キャリア濃度は、結晶粒界面単位 $Q T$ 、不純物濃度 $N$ 、結晶粒径 $L$ によって決定される。すなわち、 $Q T$ の減少、 $N$ の増加、 $L$ の増大により有効キャリア濃度を増加させることができる。従来は、有効キャリア濃度を不純物濃度の増加のみで増加させていたが、本願発明者は、粒径を増大

得た。これを第4図に示す。第4図において、横軸は $Q T^2$ を示し、縦軸は $N_c$ を示す。

また、有効キャリア濃度についても、第6図に示すように、従来のPOLY-TFTと比較して飛躍的に増大している。第6図において、横軸は不純物濃度を示し、縦軸は有効キャリア濃度を示す。また、 $L$ は結晶粒径である。

しかし、不純物濃度 $N$ が $2 \times 10^{10} \text{ atoms/cm}^3$ を超えると、結晶内において不純物散乱によるキャリア移動度の低下が顕著になり、全体としてはキャリア移動度が低下してしまい、また、高濃度化によるリーク電流の増大、ドレイン耐圧の低下などで実用性がなくなる。具体的には、不純物濃度 $N$ が $2 \times 10^{10} \text{ atoms/cm}^3$ 以上の場合、結晶内のキャリア移動度は不純物濃度 $N = 10^{15} \text{ atoms/cm}^3$ のときの $1/5$ 以下になり、また、耐圧は $12 \text{ V}$ 以下程度にまで低下してしまう。この耐圧劣化は、基準電源が制限されることにより、シフトレジスタなどのスピードおよび振幅の劣化を招く。

させることにより、より効率的に有効キャリア濃度を増加させることができるとの知見を得た。第5図に、 $Q T = \text{一定}$ 、 $N = \text{パラメータ}$ とした有効キャリア濃度と結晶粒径 $L$ との関係を示す。ある粒径 $L_c$ ( $L_c$ を閾値粒径と定義する)を境にして有効キャリア濃度は急激に増加し、単結晶シリコンのキャリア濃度と同程度にまで達する。この閾値粒径 $L_c$ は、 $Q T / N (\text{cm})$ で与えられ、前記に示した良好な電気特性を得られる不純物濃度 $N_c (1.3 \times 10^{-7} \times Q T^2)$ の条件下では $7.7 \times 10^7 / Q T (\text{cm})$ で与えられる。第6図において、結晶粒径 $L = 0.1$ および $0.2$ は、粒径が $7.7 \times 10^7 / Q T (\text{cm})$ よりも小さい場合を示し、 $L = 3.0$ はこれよりも大きい場合を示す。結晶粒径を $L$ 以上とすることにより、有効キャリア濃度を単結晶シリコンのキャリア濃度とほぼ等しくすることができる。

[実施例]

(実施例1)

本発明の第1の実施例として、多結晶シリコ

ン薄膜の不純物濃度  $N$  (atoms/cm<sup>3</sup>) を、

$$1.3 \times 10^{-7} \times QT^2 \leq N \leq 2 \times 10^{16}$$

としたPOLY-TFTを作製した場合について説明する。

第1図は、本実施例に係わる半導体装置の構成を示す概略断面図である。図において、41はSi<sub>3</sub>N<sub>4</sub>基板、42は、高濃度多結晶シリコン膜、43はゲート酸化膜、44はゲート電極、45、46はソース・ドレイン領域、47は層間絶縁膜、48、49はソース・ドレインアルミ電極、50はゲートアルミ電極である。

以下、本実施例のプロセス工程を説明する。

①Si<sub>3</sub>N<sub>4</sub>基板41上に、LPCVD法を用いて、粒径0.1μm、厚さ1μmの多結晶シリコン膜42を堆積させ、ポリッシングにより厚さを0.3μmにした。ドーピングガスとしてはPH<sub>3</sub>を用い、基板濃度は $7 \times 10^{17}$ atoms/cm<sup>3</sup>とした。

②ついで、熱酸化法により厚さ800Åの

大きかった。

このP型POLY-TFTは、良好な静特性を示し、5極管領域での移動度(実効移動度)は51(cm<sup>2</sup>/V・s)であった。この値は従来のPOLY-TFT実効移動度の50倍、同じ不純物濃度の単結晶TFTの実効移動度の約1/2と、飛躍的に増大していた。

(実施例2)

次に本発明の第2の実施例として、多結晶シリコン薄膜の不純物濃度  $N$  (atoms/cm<sup>3</sup>) を、 $1.3 \times 10^{-7} \times QT^2 \leq N \leq 2 \times 10^{16}$ とし、かつ多結晶シリコン薄膜の粒径を $7.7 \times 10^7 / QT$ 以上としたPOLY-TFTを作製した場合について説明する。

本実施例におけるPOLY-TFTの構成は、第1図に示した実施例1のPOLY-TFTと同じとした。

以下、本実施例のPOLY-TFTのIC工程について説明する。

①Si<sub>3</sub>N<sub>4</sub>基板41上に粒径が3μm、厚さ

SiO<sub>2</sub>膜を形成し、フォトリソグラフィーを用いてゲート長10μm、ゲート幅30μmのゲート酸化膜43を形成するとともに、セルフアラインでB<sup>11</sup>をドーズ量 $1 \times 10^{15}$ atoms/cm<sup>2</sup>のイオン打ち込みをした。

③その後、900℃で30分の熱処理によりボロンを基板まで拡散させ、ソース・ドレイン領域45、46を形成した。

④ゲート電極44を形成するポリシリコンをLPCVDで堆積した。

⑤層間絶縁膜47としてスパッタリング法の膜を堆積し、ソース・ドレイン、ゲートのコンタクトをあけた。

⑥最後にアルミをEB蒸着法で蒸着した。

以上のようにして作製した本実施例半導体装置における多結晶シリコンの結晶粒界面トラップ準位は、ESR測定などによれば、約 $2 \times 10^{12}$ cm<sup>-2</sup>であった。また、不純物濃度は $N = 7 \times 10^{17}$ cm<sup>-3</sup>であり、同不純物濃度( $N = 1.3 \times 10^{-7} QT^2 = 5.2 \times 10^{17}$ )よりも

4μmの大粒径多結晶シリコン膜42を堆積させた。堆積方法としては、特願昭62-73629号公報および特願昭62-73630号公報に技術開示された方法を用いた。成長条件は以下の通りである。

ガス系

SiH<sub>4</sub>, C<sub>2</sub>H<sub>2</sub> : 1.2 (l/min)

H<sub>2</sub>Cl<sub>2</sub> : 1.1 (l/min)

H<sub>2</sub> : 100 (l/min)

温度 : 960℃

圧力 : 150 Torr

時間 : 16分

ドーピングガス : PH<sub>3</sub>

基板濃度 :  $2 \times 10^{17}$ atoms/cm<sup>3</sup>

②その後、ポリッシングにより膜厚を0.3μmまで削り、平坦化を行った。

③ついで、熱酸化法により厚さ800ÅのSiO<sub>2</sub>膜を形成し、フォトリソグラフィーにより、ゲート長10μm、ゲート幅30μmのゲート酸化膜43を設けるとともに、セルフアラインでB<sup>11</sup>をドーズ量 $1 \times 10^{15}$ atoms/cm<sup>2</sup>

のイオン打ち込みをした。

④ 900℃、30分の熱処理により、ボロンを基板まで拡散させ、ソース・ドレイン領域45、46を形成した。

⑤ ゲート電極44のポリシリコンをLPCVD法で堆積した。

⑥ 層間絶縁膜47としてスパッタリング法のSiO<sub>2</sub>膜を1μm堆積し、ソース・ドレイン、ゲートのコンタクトをあけた。

⑦ 最後に、アルミをEB蒸着法で蒸着した。

以上のようにして作製したPOLY-TFTの大粒径多結晶シリコン膜の結晶界面トラップ単位密度QTは、ESR測定などによれば、 $1 \times 10^{12} \text{ cm}^{-2}$ であった。また、不純物濃度Nは $2 \times 10^{17} \text{ atoms/cm}^3$ であり、 $1.3 \times 10^{-7} \times QT^2$  ( $= 1.3 \times 10^{17}$ ) を超えていた。さらに、結晶粒径は3μmであり、 $7.7 \times 10^7 / QT$  ( $= 0.77 \mu\text{m}$ ) を超えていた。

本実施例に係わるPOLY-TFTは、非常に

良好な静特性を示し、5極管領域での実効移動度は $104 \text{ cm}^2 / \text{V} \cdot \text{s}$ を示した。この値は、従来のPOLY-TFTの約100倍、同じ不純物濃度の単結晶TFTの移動度の約9割に該当する値である。

さらに、本実施例におけるPOLY-TFTでは、粒径増大にともなってゲート酸化膜下の欠陥が減少したため、V<sub>th</sub>の減少とS係数の改善も見られた。

#### [発明の効果]

以上説明したように、本発明によれば、多結晶シリコン半導体のキャリア移動度と有効キャリア濃度とを増加させることができるので、POLY-TFTの実効移動度を飛躍的に増大させることができる。

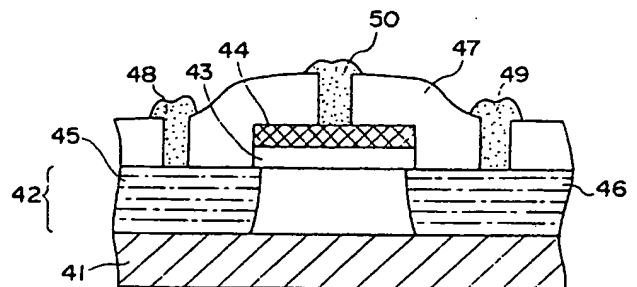
従って本発明によれば、単結晶シリコン半導体を用いた半導体装置と同等の電気的特性を有する半導体装置を、多結晶シリコン半導体を用いて作製することができる。すなわち、高速の半導体装置を非常に安価に提供することができる。

#### 4. 図面の簡単な説明

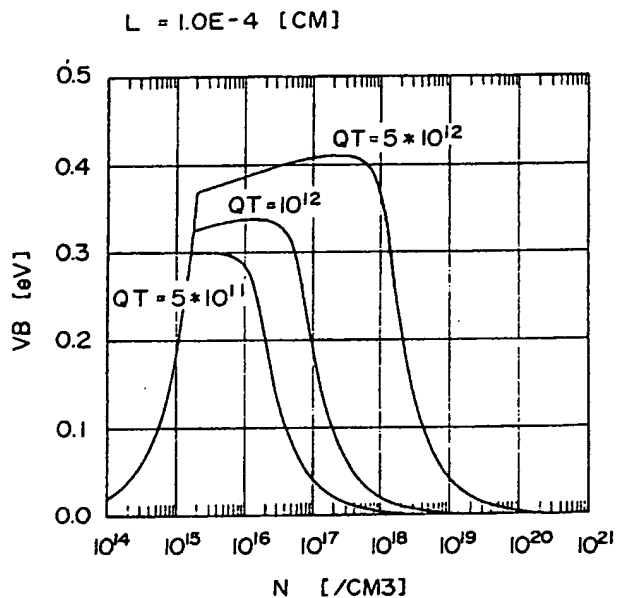
第1図は本発明の一実施例を示す概略断面図、第2図は不純物濃度と電気障壁の高さとの関係を示したグラフ、第3図は不純物濃度と移動度との関係を示したグラフ、第4図はNと界面トラップ単位密度との関係を示したグラフ、第5図は有効キャリア濃度と粒径との関係を示したグラフ、第6図は不純物濃度と有効キャリア濃度との関係を示したグラフ、第7図は従来のPOLY-TFTの一例を示す概略断面図である。

1…SiO<sub>2</sub>基板、2…LPCVD多結晶シリコン膜、3…ゲート酸化膜、4…ゲート電極、5、6…ソース・ドレイン領域、41…Si<sub>3</sub>N<sub>4</sub>基板、42…高濃度多結晶シリコン膜、43…ゲート酸化膜、44…ゲート電極、45、46…ソース・ドレイン電極、47…層間絶縁膜、48、49…ソース・ドレインアルミ電極、50…ゲートアルミ電極。

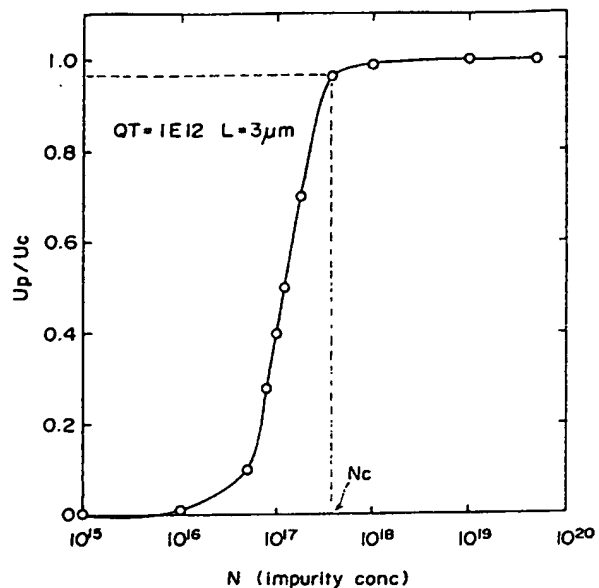
第 1 図



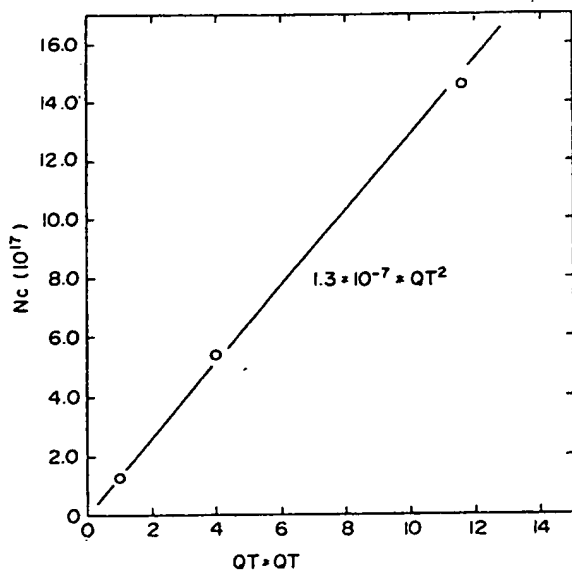
第 2 図



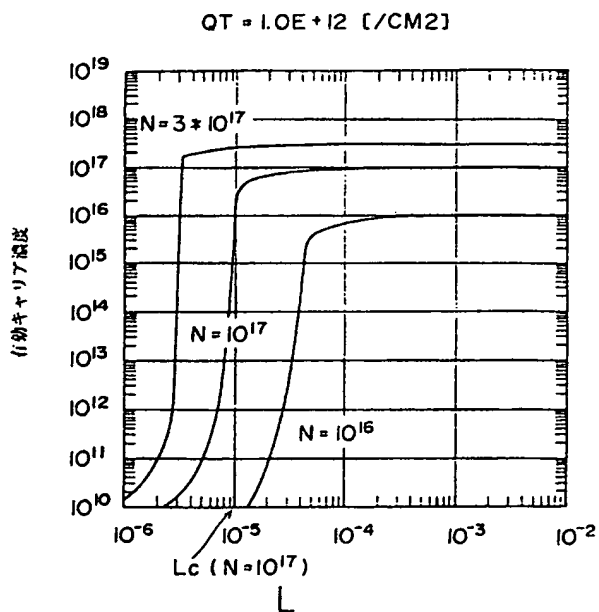
第 3 図



第 4 図

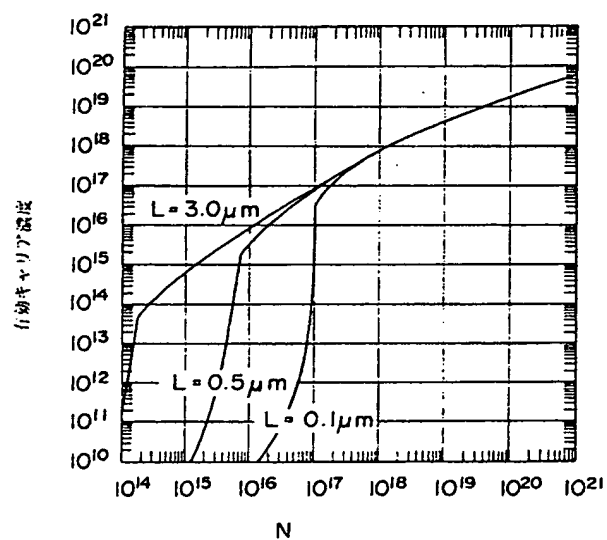


第 5 図





第 6 図



第 7 図

